

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Toshifumi MORI**

Serial Number: **Not Yet Assigned**

Filed: **October 28, 2003**

Customer No.: 38834

For: **METHOD FOR FABRICATING SEMICONDUCTOR DEVICE**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

October 28, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-314329, filed on October 29, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP


Ken-Ichi Hattori
Reg. No. 32,861

Atty. Docket No.: 032068
Suite 700
1250 Connecticut Avenue, N.W.
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
KH/yap



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月29日

出 願 番 号
Application Number:

特願2002-314329

[ST.10/C]:

[JP 2002-314329]

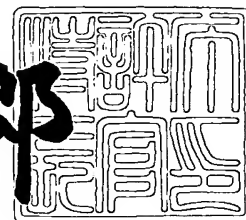
出 願 人
Applicant(s):

富士通株式会社

2003年 3月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3016460



【書類名】 特許願

【整理番号】 0241396

【提出日】 平成14年10月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 森 年史

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、

前記導電膜の表面の自然酸化膜を除去する工程と、

前記自然酸化膜が除去された前記導電膜の表面に、酸化膜を形成する工程と、

前記導電膜の表面に形成された前記酸化膜上に、ハードマスクを形成する工程と、

前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 半導体基板上に、ゲート絶縁膜を介してシリコン系半導体材料からなる導電膜を形成する工程と、

前記半導体基板を大気に曝露する工程と、

前記導電膜の表面に形成された自然酸化膜を除去する工程と、

前記自然酸化膜が除去された前記導電膜の表面に、酸化膜を形成する工程と、

前記導電膜の表面に形成された前記酸化膜上に、ハードマスクを形成する工程と、

前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 又は 2 記載の半導体装置の製造方法において、

前記ハードマスクを形成する工程の後に、前記ハードマスクをマスクとして前記酸化膜をエッチングする工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記酸化膜を形成する工程では、酸化性の薬液を用いて前記導電膜の表面を酸

化することにより、前記導電膜の表面に前記酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 4 記載の半導体装置の製造方法において、前記酸化性の薬液は、塩酸過水、硫酸過水、オゾン水、又は硝酸であることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法において、

前記酸化膜を形成する工程では、酸素プラズマに前記導電膜の表面を曝露して前記導電膜の表面を酸化することにより、前記導電膜の表面に前記酸化膜を形成する

ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法において、

前記自然酸化膜を除去する工程では、弗酸処理により前記自然酸化膜を除去する

ことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法において、

前記自然酸化膜を除去する工程の前に、前記導電膜の表面に付着した異物を除去する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、

前記導電膜表面を大気に曝露することなく前記導電膜上に、ハードマスクを形成する工程と、

前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 10】 半導体基板上に、シリコン系半導体材料からなる導電膜を

形成する工程と、

前記導電膜表面を大気に曝露せずに、前記導電膜の表面に、酸化膜を形成する工程と、

前記導電膜の表面に形成された前記酸化膜上に、ハードマスクとなる膜を形成する工程と、

前記ハードマスクとなる膜上にレジスト膜を形成し、波長 2 0 0 n m 以下の露光光を用いて、露光及び現像をして、レジストパターンを形成する工程と、

前記レジストパターンをマスクとして前記ハードマスクとなる膜をパターンニングすることにより、ハードマスクを形成する工程と、

前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程と

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に係り、特に、微細なゲート電極を形成する半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、超 L S I (Large Scale Integrated Circuit) の高速化、高集積化に伴い、ゲート長さの微細化、寄生容量の低減が要請されている。かかる要請に応えるため、フォトリソグラフィに用いられる露光光として A r F エキシマレーザのような短波長のものが用いられるようになっており、これに合わせて、短波長の露光光に対応する微細パターン露光用のフォトレジスト材料が開発されている。

【 0 0 0 3 】

しかしながら、A r F エキシマレーザを露光光源とする場合に用いられるフォトレジスト材料には、プラズマエッチングに対する耐性に乏しいという難点が存在していた。このため、微細なゲート電極をパターンニングする際には、微細パターン露光用のレジストとともに、酸化膜や窒化膜等からなるハードマスクが併用

されていた（例えば非特許文献 1 を参照）。

【0004】

【非特許文献 1】

Wei W. Lee et al., "FABRICATION OF 0.06 μm POLY-Si GATE USING DUV LITHOGRAPHY WITH A DESIGNED $\text{Si}_x\text{O}_y\text{H}_z$ FILM AS AN ARC AND HARDMASK" IEE E 1997 Symposium on VLSI Technology Digest of Technical Papers, p.131

【0005】

【発明が解決しようとする課題】

しかしながら、ハードマスクを用いてゲート電極のパターニングを行う上記従来の半導体装置の製造方法では、例えば線幅 $\sim 50\text{nm}$ と非常に微細なゲート電極をエッチングする際、エッチングレートがばらつく等の難点があった。このため、微細なゲート電極を歩留まりよく形成することが困難であった。

【0006】

本発明の目的は、微細なゲート電極を歩留まりよく形成しうる半導体装置の製造方法を提供することにある。

【0007】

【課題を解決するための手段】

上記目的は、半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、前記導電膜の表面の自然酸化膜を除去する工程と、前記自然酸化膜が除去された前記導電膜の表面に、酸化膜を形成する工程と、前記導電膜の表面に形成された前記酸化膜上に、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0008】

また、上記目的は、半導体基板上に、ゲート絶縁膜を介してシリコン系半導体材料からなる導電膜を形成する工程と、前記半導体基板を大気に曝露する工程と、前記導電膜の表面に形成された自然酸化膜を除去する工程と、前記自然酸化膜が除去された前記導電膜の表面に、酸化膜を形成する工程と、前記導電膜の表面

に形成された前記酸化膜上に、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0009】

また、上記目的は、半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、前記導電膜表面を大気に曝露することなく前記導電膜上にハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜からなるゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0010】

また、上記目的は、半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、前記導電膜表面を大気に曝露せずに、前記導電膜の表面に、酸化膜を形成する工程と、前記導電膜の表面に形成された前記酸化膜上に、ハードマスクとなる膜を形成する工程と、前記ハードマスクとなる膜上にレジスト膜を形成し、波長200nm以下の露光光を用いて、露光及び現像をして、レジストパターンを形成する工程と、前記レジストパターンをマスクとして前記ハードマスクとなる膜をパターニングすることにより、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0011】

【発明の実施の形態】

〔本発明の原理〕

上述の通り、ハードマスクを用いてゲート電極のパターニングを行う場合、ゲート電極形成予定領域以外の領域に、ゲート電極材料の残渣が発生することがあった。この原因について、本願発明者が鋭意検討を重ねた結果、ゲート電極材料の残渣は、以下のメカニズムにより発生することが初めて明らかとなった。

【0012】

本願発明者が明らかにした残渣が発生するメカニズムについて、図 1 に示すゲート電極の製造工程に沿って説明する。

【 0 0 1 3 】

まず、シリコン基板 1 0 0 上に、ゲート絶縁膜 1 0 2 を介して、例えば減圧 CVD (Chemical Vapor Deposition: 化学気相成長) 法により、ポリシリコン膜 1 0 4 を形成する (図 1 (a) を参照)。ここでのポリシリコン膜 1 0 4 の成膜には、通常、バッチ式の成膜装置が用いられ、複数のシリコン基板 1 0 0 上にポリシリコン膜 1 0 4 の成膜が同時に行われる。

【 0 0 1 4 】

ポリシリコン膜 1 0 4 の成膜後、バッチ式の成膜装置の成膜室内は大気に解放され、ポリシリコン膜 1 0 4 表面は大気に曝露される。この結果、ポリシリコン膜 1 0 4 表面に、不均質な自然酸化膜 1 0 6 が形成される (図 1 (b) を参照)。

【 0 0 1 5 】

次いで、ポリシリコン膜 1 0 4 上に、例えば CVD 法により、ハードマスクとして用いるシリコン窒化膜 1 0 8 を形成する。ここで、従来のゲート電極の形成方法では、ポリシリコン膜 1 0 4 表面に形成された自然酸化膜 1 0 6 を除去することを目的とする特段の処理は行われていなかった。このため、ハードマスクとして用いるシリコン窒化膜 1 0 8 とポリシリコン膜 1 0 4 との界面には、不均質な自然酸化膜 1 0 6 が残存することとなる。

【 0 0 1 6 】

次いで、シリコン窒化膜 1 0 8 上にレジスト膜 1 1 0 を形成し、ゲート電極形成予定領域上にレジスト膜 1 1 0 を残存させる (図 1 (c) を参照)。

【 0 0 1 7 】

次いで、レジスト膜 1 1 0 をマスクとして、シリコン窒化膜 1 0 8 をエッチングする。このとき、エッチングによりシリコン窒化膜 1 0 8 が除去された領域に露出したポリシリコン膜 1 0 4 表面には、不均質な自然酸化膜 1 0 6 が残存している (図 1 (d) を参照)。

【 0 0 1 8 】

次いで、レジスト膜 2 4 及びシリコン窒化膜 1 0 8 をマスクとして、ドライエッチングによりポリシリコン膜 2 6 をパターンニングし、ポリシリコン膜 1 0 4 からなるゲート電極 1 1 2 を形成する。

【 0 0 1 9 】

ゲート電極 1 1 2 を形成するためのポリシリコン膜 2 6 のエッチングは、酸化シリコンに対するシリコンの選択比が十分大きい条件で行われる。一方、ポリシリコン膜 1 0 4 表面には、不均質な自然酸化膜 1 0 6 が形成されている。この自然酸化膜 1 0 6 は、ゲート電極 1 1 2 を形成する際に、ポリシリコン膜 1 0 4 表面の自然酸化膜 1 0 6 がエッチングに対するマスクとなる。この結果、エッチングすべきポリシリコン膜 1 0 4 が均一にエッチングされずに、ゲート電極形成予定領域以外の領域にも、ポリシリコン膜 1 0 4 が残存してしまうこととなる（図 1（e）を参照）。

【 0 0 2 0 】

このように、従来のゲート電極の形成方法では、ポリシリコン膜 1 0 4 表面に形成されている不均質な自然酸化膜 1 0 6 の存在により、ゲート電極形成予定領域以外の領域にもポリシリコン膜 1 0 4 が残存していた。

【 0 0 2 1 】

したがって、ゲート電極のパターンニング前に、ポリシリコン膜 1 0 4 表面に形成された不均質な自然酸化膜 1 0 6 を除去することにより、ゲート電極形成予定領域以外の領域にポリシリコン膜 1 0 4 が残存することを抑制すること可能となるといえる。

【 0 0 2 2 】

或いは、ポリシリコン膜 1 0 4 の成膜後、その表面の酸化を抑制し、自然酸化膜 1 0 6 の形成を抑制することにより、ゲート電極形成予定領域以外の領域にポリシリコン膜 1 0 4 が残存することを抑制すること可能となるといえる。

【 0 0 2 3 】

本発明は、上述した知見に基づきなされたものであり、以下、第 1 実施形態及び第 2 実施形態において本発明について詳述する。

【 0 0 2 4 】

〔第 1 実施形態〕

本発明の第 1 実施形態による半導体装置の製造方法について図 2 乃至図 6 を用いて説明する。図 2 乃至図 6 は本実施形態による半導体装置の製造方法を示す工程断面図である。

【 0 0 2 5 】

本実施形態による半導体装置の製造方法では、ゲート電極にパターニングするポリシリコン膜の表面に形成された自然酸化膜を除去し、自然酸化膜に代えて均質なケミカル酸化膜を形成することで、ポリシリコン膜の残渣の発生を抑制し、微細なゲート電極の形成を可能とするものである。

【 0 0 2 6 】

まず、シリコン基板 1 0 に、例えば S T I (Shallow Trench Isolation) 法により、シリコン基板 1 0 内に埋め込まれた素子分離膜 1 2 を形成し、シリコン基板 1 0 に素子領域を画定する。なお、通常の L O C O S (LOCal Oxidation of Silicon) 法により素子分離膜 1 2 を形成し、シリコン基板 1 0 に素子領域を画定してもよい。

【 0 0 2 7 】

次いで、素子分離膜 1 2 が形成されたシリコン基板 1 0 を熱酸化し、素子分離膜 1 2 により画定されたシリコン基板 1 0 の素子領域上に、例えば膜厚 1 . 2 n m のシリコン酸化膜よりなるゲート絶縁膜 1 4 を形成する (図 2 (a) を参照)。

【 0 0 2 8 】

次いで、例えば減圧 C V D 法により、ゲート絶縁膜 1 4 上に、例えば膜厚 1 1 0 n m のポリシリコン膜 2 6 を形成する (図 2 (b) を参照)。ポリシリコン膜 2 6 は、ゲート電極 1 6 を形成するためのものである。ポリシリコン膜 2 6 の成膜条件は、例えば、原料ガスとして SiH_4 を使い、減圧 C V D 縦型炉内の圧力を 0 . 1 ~ 0 . 4 T o r r 、温度を 5 9 0 ~ 6 4 0 ° C 、 SiH_4 の流量を 2 0 0 ~ 4 0 0 s c c m とすることができる。

【 0 0 2 9 】

ポリシリコン膜 2 6 を成膜した後、成膜装置の成膜室内は、大気に解放される

。このため、ポリシリコン膜 2 6 表面が大気に曝露されることとなり、ポリシリコン膜 2 6 表面には、不均質な自然酸化膜 2 8 が形成される（図 2（c）を参照）。

【 0 0 3 0 】

次いで、自然酸化膜 2 8 が形成されたポリシリコン膜表面に対して、以下に述べるように、SC-1 処理、DHF 処理、及び SC-2 処理を連続的に行う。SC-1 処理とは、アンモニア過水（APM、Ammonia/Hydrogen Peroxide Mixture： $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ の混合液）を用いた洗浄処理を意味する。また、DHF 処理とは、希釈弗酸溶液を用いた洗浄処理を意味する。また、SC-2 処理とは、塩酸過水（HPM、Hydrochloric Acid/Hydrogen Peroxide/Water Mixture： $\text{HCl}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$ の混合液）を用いた洗浄処理を意味する。

【 0 0 3 1 】

まず、自然酸化膜 2 8 が形成されたポリシリコン膜 2 6 表面に対して、SC-1 処理を行うことにより、ポリシリコン膜 2 6 表面に付着しているパーティクル等の異物を除去する。

【 0 0 3 2 】

次いで、SC-1 処理後のポリシリコン膜 2 6 表面に対して、DHF 処理を行うことにより、ポリシリコン膜 2 6 表面に形成されている自然酸化膜 2 8 を除去する（図 3（a）を参照）。

【 0 0 3 3 】

次いで、自然酸化膜 2 8 を除去したポリシリコン膜 2 6 表面を SC-2 処理することにより、ポリシリコン膜 2 6 表面に、化学的に均質な酸化膜であるケミカル酸化膜 3 0 を形成する（図 3（b）を参照）。形成するケミカル酸化膜 3 0 の膜厚は、処理時間等の条件を適宜設定することにより、例えば 2 nm 程度とする。

【 0 0 3 4 】

こうして、SC-1 処理、DHF 処理、及び SC-2 処理の一連の処理により、ポリシリコン膜 2 6 表面の自然酸化膜 2 8 が除去され、自然酸化膜 2 8 と比較して均質なケミカル酸化膜 3 0 が形成される。

【 0 0 3 5 】

次いで、表面にケミカル酸化膜 3 0 が形成されたポリシリコン膜 2 6 上に、例えば C V D 法により、例えば膜厚 3 0 n m のシリコン酸化膜 3 2 を形成する（図 3 （c）を参照）。シリコン酸化膜 3 2 は、ゲート電極 1 6 をエッチングにより形成する際のハードマスクとして用いるものである。シリコン酸化膜 3 2 の成膜条件は、例えば、原料ガスとして T E O S （tetraethoxysilane）を用い、減圧 C V D 縦型炉内の圧力を 0 . 1 ~ 0 . 4 T o r r 、温度を 5 7 0 ~ 6 4 0 ℃、T E O S の流量を 2 0 0 ~ 4 0 0 s c c m 、O₂の流量を 2 ~ 3 0 s c c m とすることができる。なお、ゲート電極 1 6 をエッチングにより形成する際のハードマスクとして、シリコン酸化膜 3 2 の代わりに、シリコン窒化膜或いはシリコン酸窒化膜を形成してもよい。

【 0 0 3 6 】

次いで、例えばスピコート法によりシリコン酸化膜 3 2 上にレジスト膜 2 4 を形成し、フォトリソグラフィ技術を用いてゲート電極形成予定領域上にレジスト膜 3 4 を残存させる（図 4 （a）を参照）。

【 0 0 3 7 】

次いで、例えば R I E 法により、レジスト膜 3 4 をマスクとして、ハードマスクとして用いるシリコン酸化膜 3 2 を所定の形状にパターニングする（図 4 （b）を参照）。シリコン酸化膜 3 2 のエッチング条件は、例えば、エッチングガスとして C F₄を用い、ガス圧を ~ 2 0 m T o r r 、R F パワー 2 0 0 ~ 4 0 0 W 、C F₄の流量を 5 0 ~ 2 0 0 s c c m とすることができる。

【 0 0 3 8 】

シリコン酸化膜 3 2 のエッチングの際には、化学的に均質なケミカル酸化膜 3 0 も、シリコン酸化膜 3 2 とともにエッチングされ、不均質な自然酸化膜のようにポリシリコン膜 2 6 表面に残存することはない。

【 0 0 3 9 】

なお、ハードマスクとしてシリコン酸化膜 3 2 の代わりにシリコン窒化膜或いはシリコン酸窒化膜を形成した場合には、エッチングによりハードマスクとして用いるシリコン窒化膜或いはシリコン酸窒化膜をパターニングした後、エッチン

グ条件を変えて、パターニングしたシリコン窒化膜をマスクとして、ケミカル酸化膜 3 0 をエッチング除去する。

【 0 0 4 0 】

次いで、例えば R I E 法により、レジスト膜 3 4 及びシリコン酸化膜 3 2 をマスクとして、ポリシリコン膜 2 6 をパターニングし、ポリシリコン膜 2 6 からなるゲート電極 1 6 を形成する（図 4（c）を参照）。ポリシリコン膜 2 6 のエッチング条件は、例えば、エッチングガスとして CF_4 を用い、ガス圧を $\sim 20 \text{ m Torr}$ 、RF パワー $200 \sim 400 \text{ W}$ 、 CF_4 の流量を $50 \sim 200 \text{ sccm}$ とすることができる。

【 0 0 4 1 】

本実施形態による半導体装置の製造方法では、従来技術とは異なり、ポリシリコン膜 2 6 表面に形成された自然酸化膜 2 8 が残存していないので、エッチングすべき領域のポリシリコン膜 2 6 が自然酸化膜によりマスクされることはなく、安定したエッチングレートでポリシリコン膜 2 6 をパターニングすることができる。これにより、ゲート電極形成予定領域以外の領域にポリシリコン膜 2 6 が残存するのを抑制することができ、微細なゲート電極 1 6 を形成することができる。

【 0 0 4 2 】

こうして、ゲート電極形成予定領域以外の領域にポリシリコン膜 2 6 が残存するのを抑制してポリシリコン膜 2 6 をパターニングすることによりゲート電極 1 6 を形成した後、マスクとして用いたレジスト膜 3 4 及びシリコン酸化膜 3 2 を除去する。

【 0 0 4 3 】

次いで、ゲート電極 1 6 をマスクとして A s（砒素）をイオン注入し、シリコン基板 1 0 内に、ゲート電極 1 6 に自己整合で、エクステンションソース／ドレインの浅い領域を構成するエクステンション領域 2 0 a となる不純物ドーブ領域 3 6 a を形成する（図 5（a）を参照）。イオン注入の条件としては、例えば、イオンの加速エネルギーを $\sim 5 \text{ keV}$ 、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ とすることができる。

【 0 0 4 4 】

次いで、全面に、例えば減圧CVD法により、膜厚100nmのシリコン窒化膜38を形成する（図5（b）を参照）。シリコン窒化膜38の成膜条件は、例えば、原料ガスとしてDCS（dichlorosilane）、NH₃を用い、減圧CVD縦型炉内の圧力を0.1～0.4Torr、温度を650～750℃、DCSの流量を50～200sccm、NH₃の流量を200～1000sccmとすることができる。

【 0 0 4 5 】

次いで、例えばRIE法によりシリコン窒化膜38を異方性エッチングする。これにより、ゲート電極16の側壁に、シリコン窒化膜38からなるサイドウォール絶縁膜18が形成される（図5（c）を参照）。

【 0 0 4 6 】

次いで、ゲート電極16及びサイドウォール絶縁膜18をマスクとして、P（燐）をイオン注入し、エクステンションソース／ドレインの深い領域を構成する不純物拡散領域20bとなる不純物ドーピング領域36bを形成する（図6（a）を参照）。イオン注入の条件は、例えば、イオンの加速エネルギーを～8keV、ドーズ量を～ $1 \times 10^{16} \text{ cm}^{-2}$ とすることができる。

【 0 0 4 7 】

次いで、例えばRTA（Rapid Thermal Annealing）法による熱処理を行い、不純物ドーピング領域36a、36b中のドーパント不純物を活性化する。RTA法による熱処理の条件は、例えば、窒素雰囲気下、加熱温度を1000℃、加熱時間を5秒間とすることができる。こうして、不純物ドーピング領域36a、36b中のドーパント不純物を活性化することにより、エクステンション領域20a、不純物拡散領域20bがそれぞれ形成され、エクステンション領域20aと不純物拡散領域20bとから構成されるエクステンションソース／ドレイン構造のソース／ドレイン拡散層22が形成される。

【 0 0 4 8 】

次いで、通常のサリサイドプロセスにより、ゲート電極16上及びソース／ドレイン拡散層22上にのみ、低抵抗のCoSi₂膜24a、24bをそれぞれ選

択的に形成する（図 6（b）を参照）。

【0049】

こうして、MIS トランジスタが製造される。

【0050】

このように、本実施形態によれば、ゲート電極 16 となるポリシリコン膜 26 表面に形成される不均質な自然酸化膜 28 を除去してポリシリコン膜 26 表面に均質な酸化膜であるケミカル酸化膜 30 を形成するので、ポリシリコン膜 26 がゲート電極形成予定領域以外の領域にまで残存するのを抑制することができ、例えば線幅が～50 nm のような非常に微細なゲート電極 16 を歩留まりよく形成することが可能となる。

【0051】

〔第 2 実施形態〕

本発明の第 2 実施形態による半導体装置の製造方法について図 7 を用いて説明する。図 7 は本実施形態による半導体装置の製造方法を示す工程断面図である。なお、第 1 実施形態による半導体装置及びその製造方法と同一の構成要素については同一の符号を付し説明を省略し或いは簡略にする。

【0052】

本実施形態による半導体装置の製造方法は、ゲート電極にパターニングするポリシリコン膜の成膜後、その表面の不均一な酸化を抑制し、自然酸化膜の形成を抑制することで、ポリシリコン膜の残渣の発生を抑制し、微細なゲート電極の形成を可能とするものである。

【0053】

ポリシリコン膜 26 の成膜に例えばバッチ式の成膜装置を用いた場合、第 1 実施形態による場合のように成膜装置の成膜室内を大気解放し、ポリシリコン膜 26 が形成されたシリコン基板 10 を成膜室内から搬出するする必要があった。これに対し、本実施形態による半導体装置の製造方法では、例えば枚葉式の成膜装置を用いて、ポリシリコン膜 26 の成膜とハードマスクとして用いるシリコン酸化膜 32 の成膜との間に大気解放を行わずに、ポリシリコン膜 26 とシリコン酸化膜 32 を同一の成膜装置により連続的に形成する。こうして、成膜後のポリシ

リコン膜 2 6 表面の酸化を抑制し、その表面に不均質な自然酸化膜 2 8 が形成するのを抑制する。

【 0 0 5 4 】

まず、第 1 実施形態による場合と同様にして素子領域が画定されたシリコン基板 1 0 のゲート絶縁膜 1 4 上に、例えば枚葉式の成膜装置を用いて、例えば減圧 C V D 法によりポリシリコン膜 2 6 を形成する（図 7（a）を参照）。

【 0 0 5 5 】

ポリシリコン膜 2 6 を成膜した後、成膜装置の成膜室内を大気に解放せずに同一の成膜装置を用いて、ポリシリコン膜 2 6 上に、例えば C V D 法によりシリコン酸化膜 3 2 を形成する（図 7（b）を参照）。このように、ポリシリコン膜 2 6 の成膜とシリコン酸化膜 3 2 の成膜との間にポリシリコン膜 2 6 表面が大気に曝露されず、ポリシリコン膜 2 6 とシリコン酸化膜 3 2 とが同一成膜装置の成膜室内で形成されるので、不均質な自然酸化膜 2 8 の形成を抑制することができる。

【 0 0 5 6 】

次いで、第 1 実施形態による場合と同様に、例えばスピコート法によりシリコン酸化膜 3 2 上にレジスト膜 2 4 を形成し、フォトリソグラフィ技術を用いてゲート電極形成予定領域上にレジスト膜 3 4 を残存させる。レジスト膜 2 4 の露光には、例えば波長 2 0 0 n m 以下の露光光を用いる。

【 0 0 5 7 】

次いで、例えば R I E 法により、レジスト膜 3 4 をマスクとして、ハードマスクとして用いるシリコン酸化膜 3 2 を所定の形状にパターニングする。

【 0 0 5 8 】

以後、第 1 実施形態による場合と同様にして、ゲート電極 1 4 のパターニング、ソース／ドレイン拡散層 2 2 の形成等を行い、M I S トランジスタの製造を終了する。

【 0 0 5 9 】

このように、本実施形態によれば、ポリシリコン膜 2 6 を形成した後、ポリシリコン膜 2 6 表面を大気に曝露することなくポリシリコン膜 2 6 上にシリコン酸

化膜 3 2 を形成することにより、ポリシリコン膜 2 6 表面に不均質な自然酸化膜 2 8 が形成するのを抑制するので、ポリシリコン膜 2 6 がゲート電極形成予定領域以外の領域にまで残存するのを抑制することができ、例えば線幅が $\sim 50\text{ nm}$ のような非常に微細なゲート電極 1 6 を歩留まりよく形成することが可能となる。

【0060】

なお、本実施形態では、同一成膜装置を用いてポリシリコン膜 2 6 及びシリコン酸化膜 3 2 を形成したが、それぞれの成膜に別個独立の成膜装置を用い、一の成膜装置の成膜室内でポリシリコン膜 2 6 を成膜した後、シリコン基板 1 0 を大気に曝露することなく他の成膜装置の成膜室に搬送してシリコン酸化膜 3 2 を成膜してもよい。

【0061】

また、本実施形態では、ポリシリコン膜 2 6 の成膜後にポリシリコン膜 2 6 表面を酸化することなくシリコン酸化膜 3 2 を形成したが、ポリシリコン膜 2 6 表面を均質に酸化した後に、シリコン酸化膜 3 2 を成膜してもよい。この場合、ポリシリコン膜 2 6 の成膜後、ポリシリコン膜 2 6 表面を大気に曝露せずに、例えば第 1 実施形態による場合と同様の酸化処理を用いてポリシリコン膜 2 6 表面を均質に酸化する。

【0062】

〔変形実施形態〕

本発明の上記実施形態に限らず、種々の変形が可能である。

【0063】

例えば、上記実施形態では、ゲート電極 1 6 を形成するための導電膜としてポリシリコン膜 2 6 を用いたが、ゲート電極 1 6 を形成するための導電膜はこれに限定されるものではなく、ゲート電極 1 6 を形成するための導電膜として、大気曝露により表面に不均質な自然酸化膜が形成されるようなシリコン系半導体材料からなる導電膜を用いることができる。シリコン系半導体材料としては、ポリシリコンのほか、アモルファスシリコン、シリコンゲルマニウム等を用いることができる。また、ゲート電極 1 6 にパターニングされる膜には予め不純物がドーブ

されていてもよいし、これらの材料により形成された膜にイオン注入法等を用いて不純物をドーブしたものであってもよい。

【 0 0 6 4 】

また、上記実施形態では、ポリシリコン膜 2 6 のみからなるゲート電極 1 6 を形成したが、ポリシリコン膜 2 6 等のシリコン系半導体材料からなる導電膜を含むゲート電極であれば、これに限定されるものではない。

【 0 0 6 5 】

また、上記実施形態では、ケミカル酸化膜 3 0 を形成するために、S C - 2 処理、すなわち H P M を用いた酸化処理を行ったが、ケミカル酸化膜 3 0 の形成に用いる薬液は、酸化性の薬液であれば H P M に限定されるものではない。例えば、ポリシリコン膜 2 6 表面に対して、硫酸過水（S P M、Sulfuric Acid/Hydrogen Peroxide Mixture： H_2SO_4/H_2O_2 の混合液）、オゾン水、硝酸等の酸化性の薬液を用いた酸化処理により、ポリシリコン膜 2 6 表面に、化学的に均質な酸化膜であるケミカル酸化膜 3 0 を形成してもよい。

【 0 0 6 6 】

また上記実施形態では、ケミカル酸化膜 3 0 を形成したが、ケミカル酸化膜 3 0 のように均質な酸化膜であればこれに限定されるものではない。例えば、ケミカル酸化膜 3 0 に代えて、酸素プラズマによるアッシング処理を用いてポリシリコン膜 2 6 表面に酸化膜を形成してもよい。

【 0 0 6 7 】

また、上記実施形態では、ポリシリコン膜 2 6 表面にケミカル酸化膜 3 0 を形成する前に、ポリシリコン膜 2 6 表面に付着したパーティクル等の異物を S C - 1 処理により除去したが、異物の除去方法はこれに限定されるものではない。例えば、ブラシスクラバーやジェットスクラバーを用いて、ポリシリコン膜 2 6 表面に付着した異物を除去してもよい。また、D H F とオゾン水との混合液により、ポリシリコン膜 2 6 表面に付着した異物を除去してもよい。

【 0 0 6 8 】

また、上記実施形態では、ケミカル酸化膜 2 6 表面にケミカル酸化膜を形成する前に、ポリシリコン膜 2 6 表面に形成された自然酸化膜 2 8 を D H F 処理によ

り除去したが、自然酸化膜 2 8 の除去方法はこれに限定されるものではない。例えば、 CF_4 と O_2 と N_2 との混合ガスのプラズマにより、自然酸化膜 2 8 を除去しつつ、ポリシリコン膜 2 6 表面を均質に酸化してもよい。この場合、例えば、 CF_4 、 O_2 、 N_2 ガスの流量をそれぞれ 3 5 s c c m、5 0 0 s c c m、5 0 s c c m とし、4 0 0 W のパワーで 1 2 0 秒間のプラズマ処理を行う。

【 0 0 6 9 】

また、上記実施形態では、N 型トランジスタを製造する場合について説明したが、P 型トランジスタを製造する場合にも本発明を適用することができる。

【 0 0 7 0 】

(付記 1) 半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、前記導電膜の表面の自然酸化膜を除去する工程と、前記自然酸化膜が除去された前記導電膜の表面に、酸化膜を形成する工程と、前記導電膜の表面に形成された前記酸化膜上に、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【 0 0 7 1 】

(付記 2) 半導体基板上に、ゲート絶縁膜を介してシリコン系半導体材料からなる導電膜を形成する工程と、前記半導体基板を大気に曝露する工程と、前記導電膜の表面に形成された自然酸化膜を除去する工程と、前記自然酸化膜が除去された前記導電膜の表面に、酸化膜を形成する工程と、前記導電膜の表面に形成された前記酸化膜上に、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【 0 0 7 2 】

(付記 3) 付記 1 又は 2 記載の半導体装置の製造方法において、前記ハードマスクを形成する工程の後に、前記ハードマスクをマスクとして前記酸化膜をエッチングする工程を更に有することを特徴とする半導体装置の製造方法。

【 0 0 7 3 】

(付記 4) 付記 1 乃至 3 のいずれかに記載の半導体装置の製造方法において

、前記酸化膜を形成する工程では、酸化性の薬液を用いて前記導電膜の表面を酸化することにより、前記導電膜の表面に前記酸化膜を形成することを特徴とする半導体装置の製造方法。

【 0 0 7 4 】

（付記 5） 付記 4 記載の半導体装置の製造方法において、前記酸化性の薬液は、塩酸過水、硫酸過水、オゾン水、又は硝酸であることを特徴とする半導体装置の製造方法。

【 0 0 7 5 】

（付記 6） 付記 1 乃至 3 のいずれかに記載の半導体装置の製造方法において、前記酸化膜を形成する工程では、酸素プラズマに前記導電膜の表面を曝露して前記導電膜の表面を酸化することにより、前記導電膜の表面に前記酸化膜を形成することを特徴とする半導体装置の製造方法。

【 0 0 7 6 】

（付記 7） 付記 1 乃至 6 のいずれかに記載の半導体装置の製造方法において、前記自然酸化膜を除去する工程では、弗酸処理により前記自然酸化膜を除去することを特徴とする半導体装置の製造方法。

【 0 0 7 7 】

（付記 8） 付記 1 乃至 7 のいずれかに記載の半導体装置の製造方法において、前記自然酸化膜を除去する工程の前に、前記導電膜の表面に付着した異物を除去する工程を更に有することを特徴とする半導体装置の製造方法。

【 0 0 7 8 】

（付記 9） 付記 8 記載の半導体装置の製造方法において、前記異物を除去する工程では、アンモニア過水を用いて前記導電膜の表面を洗浄することにより、前記導電膜の表面に付着した前記異物を除去することを特徴とする半導体装置の製造方法。

【 0 0 7 9 】

（付記 1 0） 半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、前記導電膜表面を大気に曝露することなく前記導電膜上に、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチ

ングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【 0 0 8 0 】

(付記 1 1) 半導体基板上に、シリコン系半導体材料からなる導電膜を形成する工程と、前記導電膜表面を大気に曝露せずに、前記導電膜の表面に、酸化膜を形成する工程と、前記導電膜の表面に形成された前記酸化膜上に、ハードマスクとなる膜を形成する工程と、前記ハードマスクとなる膜上にレジスト膜を形成し、波長 2 0 0 n m 以下の露光光を用いて、露光及び現像をして、レジストパターンを形成する工程と、前記レジストパターンをマスクとして前記ハードマスクとなる膜をパターニングすることにより、ハードマスクを形成する工程と、前記ハードマスクをマスクとして前記導電膜をエッチングすることにより、前記導電膜を含むゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【 0 0 8 1 】

(付記 1 2) 付記 1 乃至 1 1 のいずれかに記載の半導体装置の製造方法において、前記導電膜は、ポリシリコン膜、アモルファスシリコン膜、又はシリコンゲルマニウム膜であることを特徴とする半導体装置の製造方法。

【 0 0 8 2 】

【発明の効果】

以上の通り、本発明によれば、半導体基板上に、シリコン系半導体材料からなる導電膜を形成し、導電膜の表面の自然酸化膜を除去し、自然酸化膜が除去された導電膜の表面に酸化膜を形成し、導電膜の表面に形成された酸化膜上にハードマスクを形成し、ハードマスクをマスクとして導電膜をエッチングすることにより、導電膜を含むゲート電極を形成するので、ゲート電極材料としてシリコン系半導体材料を用いる場合に、ゲート電極形成時のゲート電極材料の残渣の発生を抑制し、微細なゲート電極を歩留まりよく形成することができる。

【 0 0 8 3 】

また、半導体基板上に、ゲート絶縁膜を介してシリコン系半導体材料からなる導電膜を形成し、半導体基板を大気に曝露し、導電膜の表面に形成された自然酸

化膜を除去し、自然酸化膜が除去された導電膜の表面に酸化膜を形成し、導電膜の表面に形成された酸化膜上にハードマスクを形成し、ハードマスクをマスクとして前記導電膜をエッチングすることにより、導電膜を含むゲート電極を形成するので、ゲート電極材料としてシリコン系半導体材料を用いる場合に、ゲート電極形成時のゲート電極材料の残渣の発生を抑制し、微細なゲート電極を歩留まりよく形成することができる。

【 0 0 8 4 】

また、半導体基板上に、シリコン系半導体材料からなる導電膜を形成し、導電膜表面を大気に曝露することなく導電膜上にハードマスクを形成し、ハードマスクをマスクとして導電膜をエッチングすることにより、導電膜を含むゲート電極を形成するので、ゲート電極材料としてシリコン系半導体材料を用いる場合に、ゲート電極形成時のゲート電極材料の残渣の発生を抑制し、微細なゲート電極を歩留まりよく形成することができる。

【 0 0 8 5 】

また、半導体基板上に、シリコン系半導体材料からなる導電膜を形成し、導電膜表面を大気に曝露せずに、前記導電膜の表面に酸化膜を形成し、導電膜の表面に形成された酸化膜上にハードマスクとなる膜を形成し、ハードマスクとなる膜上にレジスト膜を形成し、波長 2 0 0 n m 以下の露光光を用いて、露光及び現像をして、レジストパターンを形成し、レジストパターンをマスクとしてハードマスクとなる膜をパターニングすることによりハードマスクを形成し、ハードマスクをマスクとして導電膜をエッチングすることにより、導電膜を含むゲート電極を形成するので、ゲート電極材料としてシリコン系半導体材料を用いる場合に、ゲート電極形成時のゲート電極材料の残渣の発生を抑制し、微細なゲート電極を歩留まりよく形成することができる。

【図面の簡単な説明】

【図 1】

ゲート電極の製造工程を示す工程断面図である。

【図 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1

）である。

【図 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 5】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 6】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 7】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図である。

【符号の説明】

- 1 0 …シリコン基板
- 1 2 …素子分離膜
- 1 4 …ゲート絶縁膜
- 1 6 …ゲート電極
- 1 8 …サイドウォール絶縁膜
- 2 0 a …エクステンション領域
- 2 0 b …不純物拡散領域
- 2 2 …ソース／ドレイン拡散層
- 2 4 a、2 4 b …C o S i ₂ 膜
- 2 6 …ポリシリコン膜
- 2 8 …自然酸化膜
- 3 0 …ケミカル酸化膜
- 3 2 …シリコン酸化膜

3 4 …レジスト膜

3 6 a、3 6 b …不純物ドーピング領域

1 0 0 …シリコン基板

1 0 2 …ゲート絶縁膜

1 0 4 …ポリシリコン膜

1 0 6 …自然酸化膜

1 0 8 …シリコン窒化膜

1 1 0 …レジスト膜

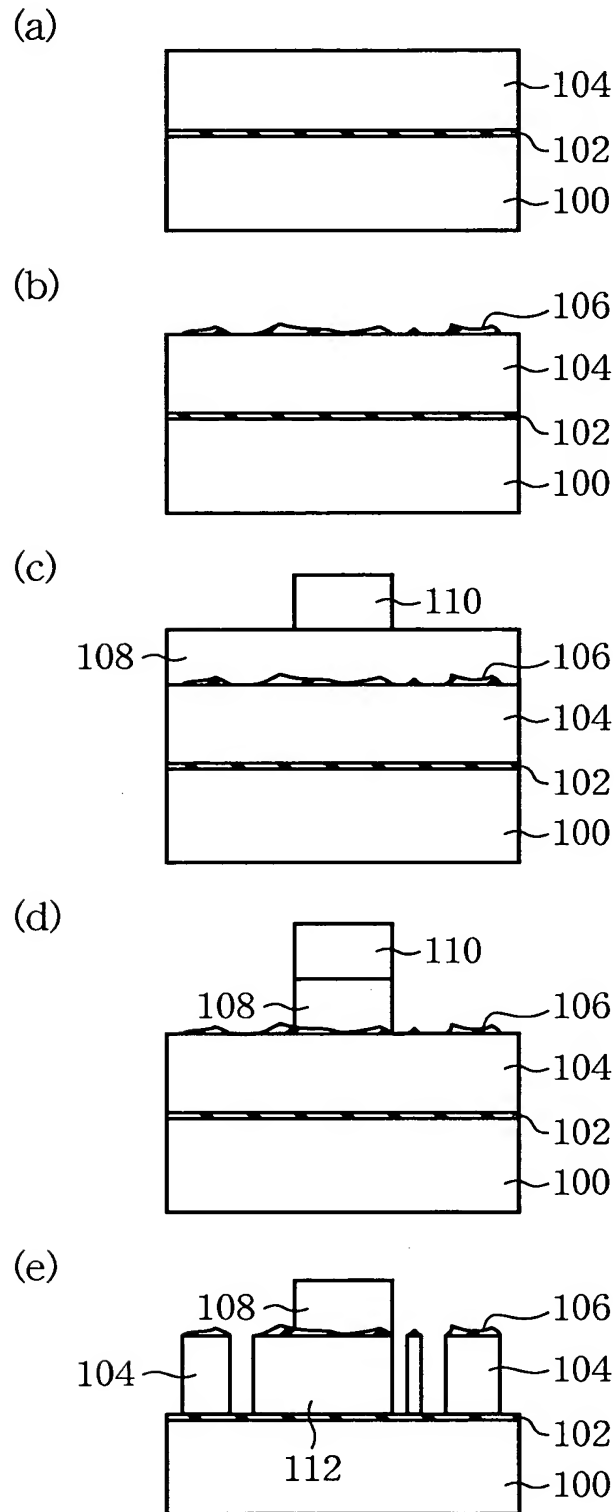
1 1 2 …ゲート電極

特 2 0 0 2 - 3 1 4 3 2 9

【書類名】 図面

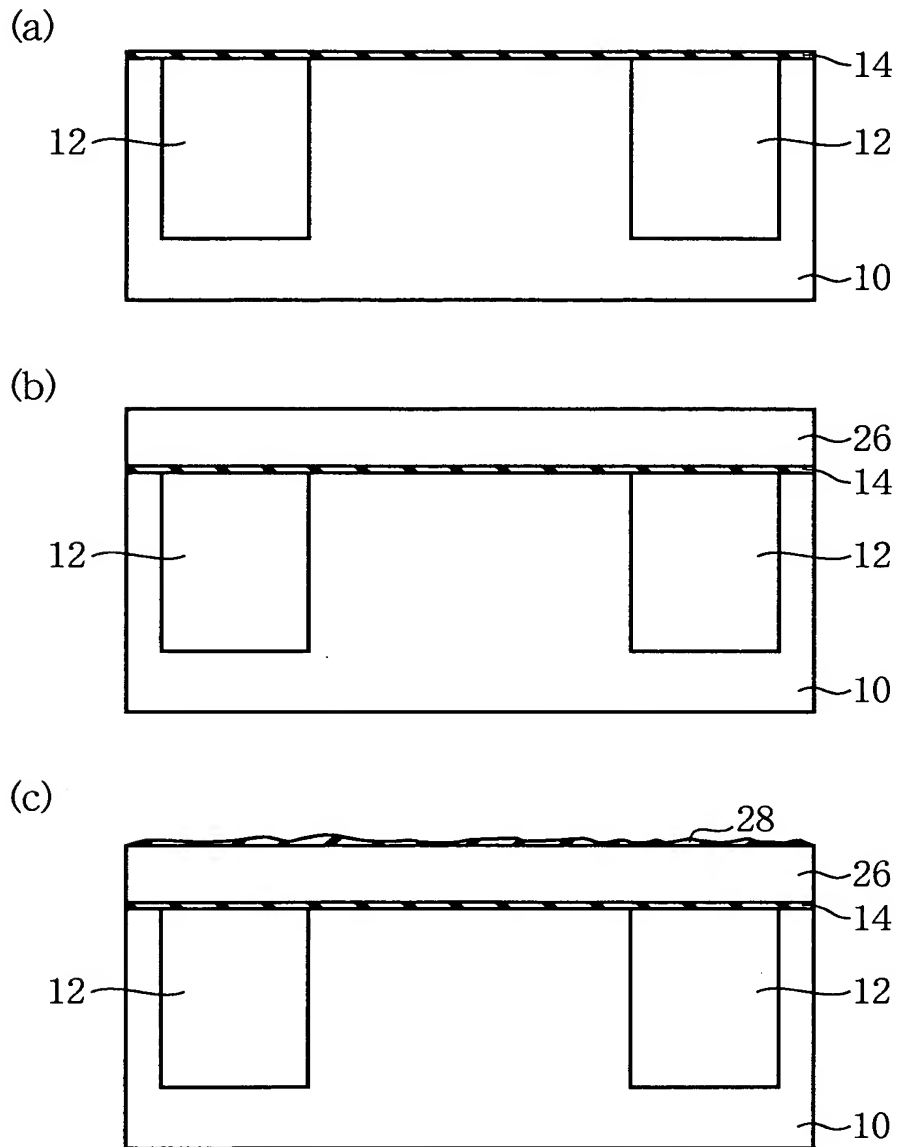
【図 1】

ゲート電極の製造工程を示す工程断面図



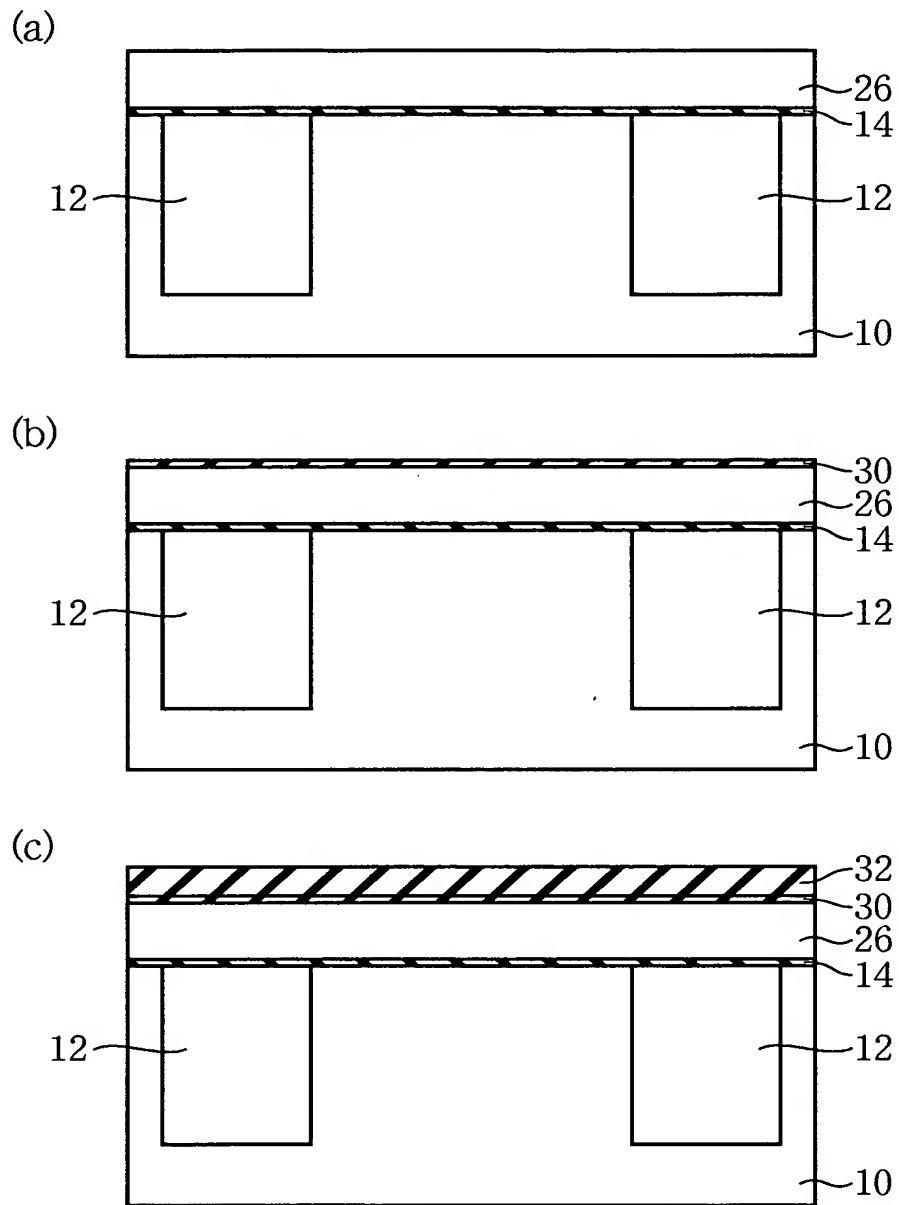
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



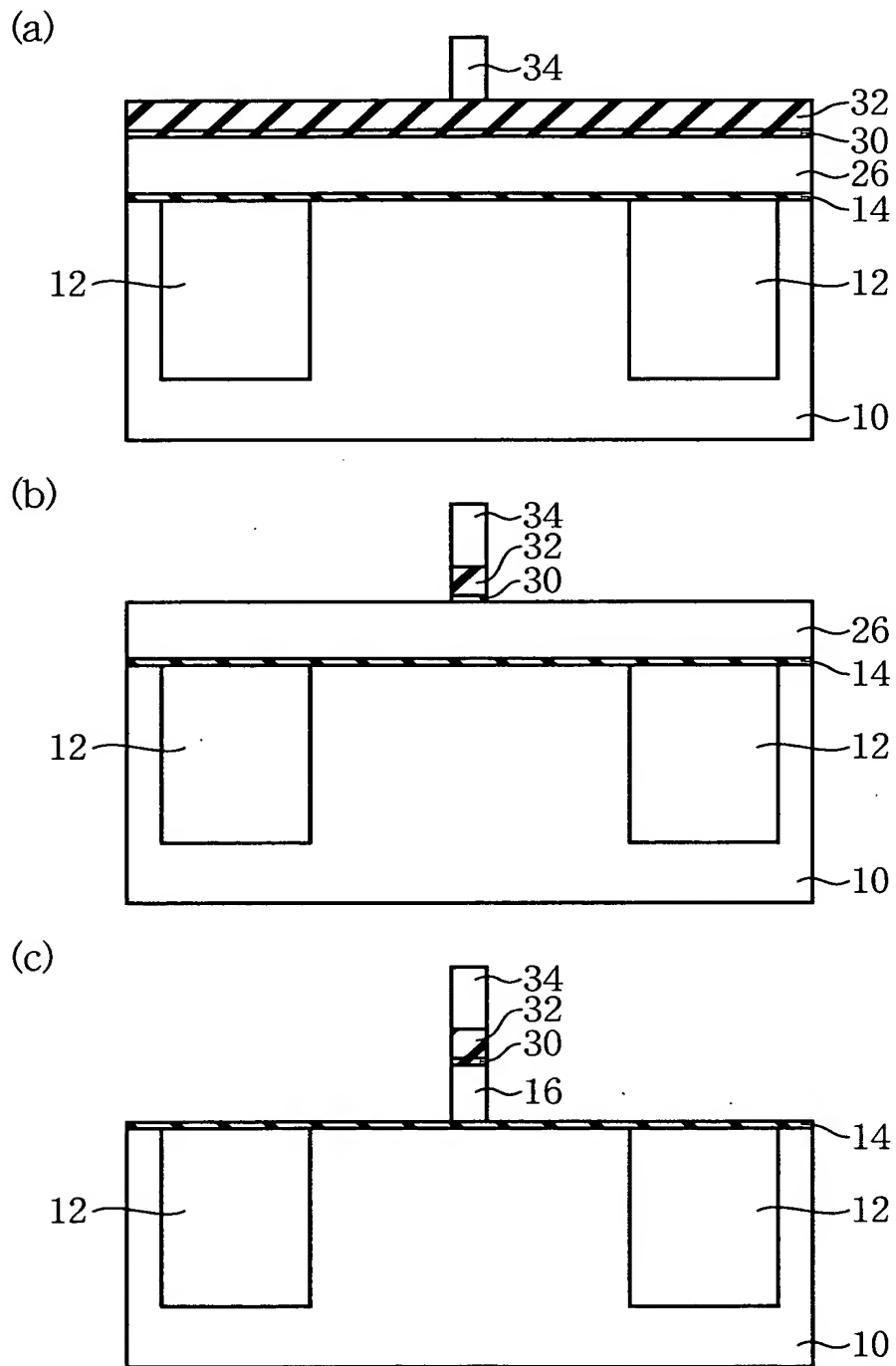
【図 3】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その 2)



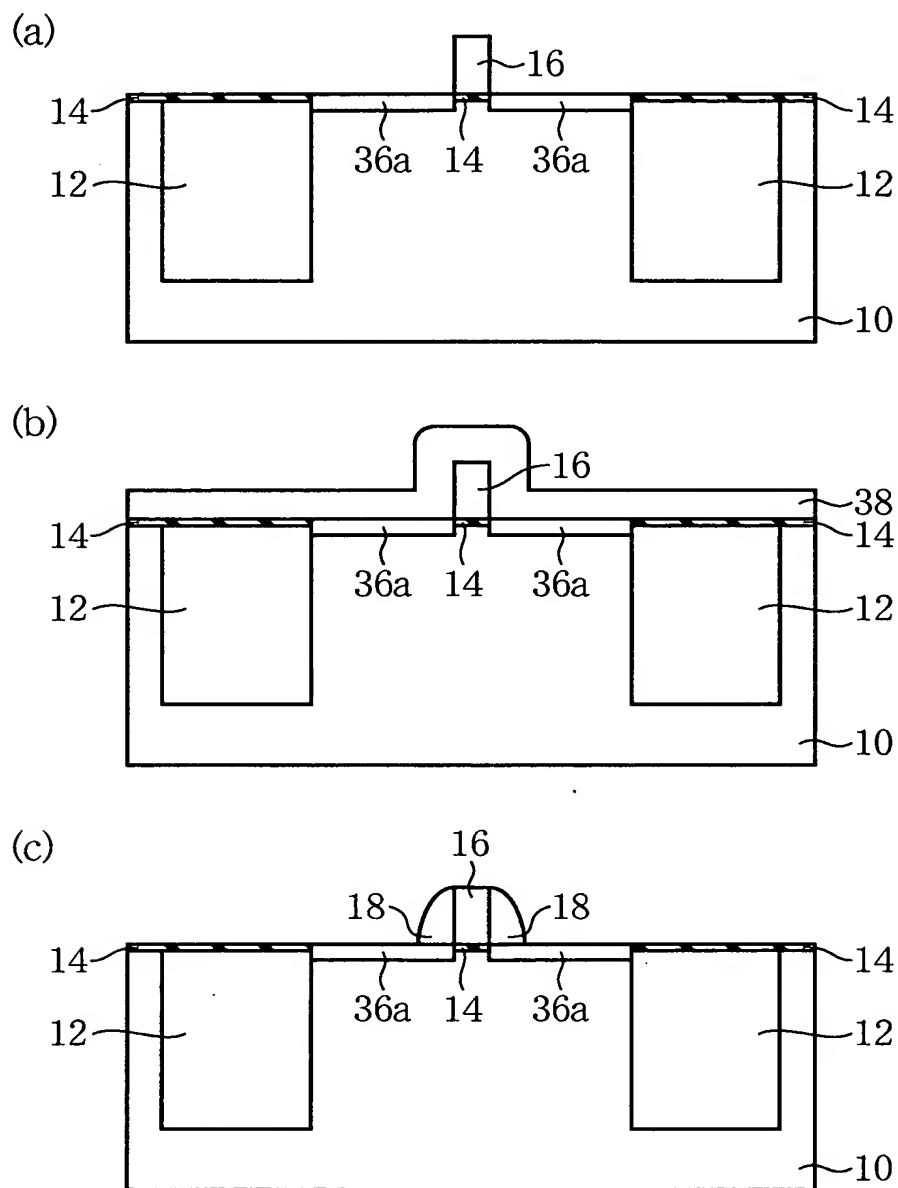
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



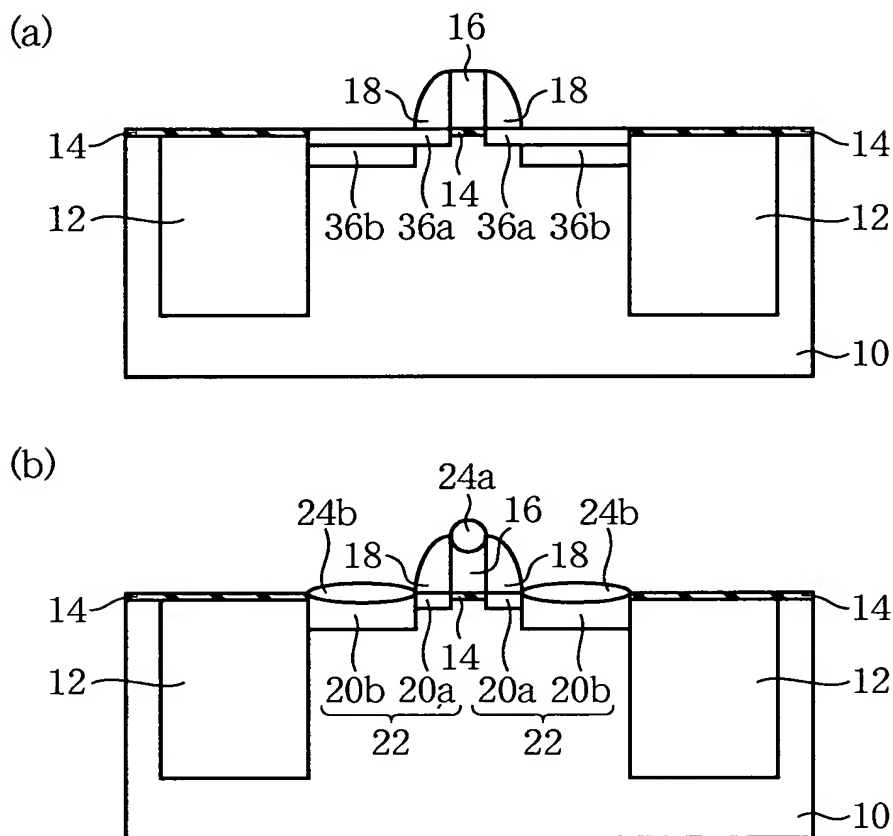
【図 5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)



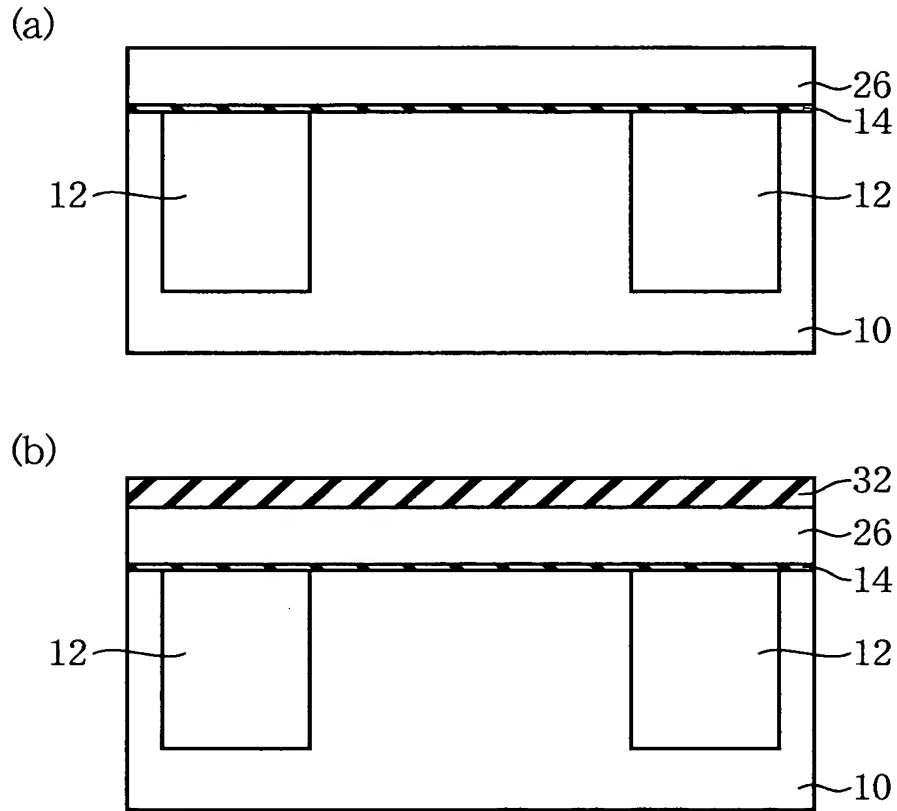
【図 6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その5)



【図 7】

本発明の第2実施形態による半導体装置の製造方法を示す
工程断面図



【書類名】 要約書

【要約】

【課題】 微細なゲート電極を歩留まりよく形成しうる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 1 0 上に、ポリシリコン膜 2 6 を形成する工程と、ポリシリコン膜 2 6 の表面の自然酸化膜 2 8 を除去する工程と、自然酸化膜 2 8 が除去されたポリシリコン膜 2 6 の表面に、均質なケミカル酸化膜 3 0 を形成する工程と、ケミカル酸化膜 3 0 が形成されたポリシリコン膜 2 6 上に、ハードマスクとして用いるシリコン酸化膜 3 2 を形成する工程と、シリコン酸化膜 3 2 をマスクとしてポリシリコン膜 2 6 をエッチングすることにより、ポリシリコン膜 2 6 からなるゲート電極 1 6 を形成する工程とを有する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社